



A UFMA E A ANACOM OCONVIDAM PARA PARTICIPAR DO  
**WORKSHOP**  
 DO PROGRAMA UNIVERSITÁRIO XILINX NO BRASIL

**Workshop em Fluxo de Projeto de Sistemas Embarcados**

Data: 19 e 20 de Abril 2012

Local: DE.EE/UFMA, São Luiz (MA)

Descrição do Curso	Este curso proverá aos professores participantes uma introdução ao projeto de Sistemas Embarcados Baseados em FPGAs utilizando o Kit de Desenvolvimento de Sistemas Embarcados de XILINX (EDK) e executando verificação de Hardware/Software "On-Chip".
Nível do Curso	Introdotório.
Duração	2 dias.
Quem pode participar?	Professores que estão familiarizados com as tecnologias FPGA de XILINX e desejam acelerar seu entendimento em projeto de Sistemas Embarcados Baseados em FPGA.
Pré-Requisitos	Experiência com Lógica Digital e Projetos com FPGA; Experiência básica com o Software Xilinx ISE® Foundation™; Entendimento básico de programação C; Experiência básica em Microprocessadores.
Investimento	Este evento é patrocinado pela XILINX e ofertado sem custo para os professores das IES participantes.

**Habilidades a serem adquiridas:**

Após a realização do Curso, você estará habilitado para:

- Arquitetar rapidamente um sistema embarcado focando uma plataforma de hardware.
- Ampliar o sistema de hardware com os periféricos providos pela XILINX (IPs).
- Criar periféricos customizados e adicionar ao sistema.
- Escrever software de acesso aos periféricos.
- Escrever manipuladores de interrupções para serviços de interrupção.
- Executar uma verificação de Hardware/software "On-Chip".



**Agenda do Curso:**

<p><b>Primeiro Dia:</b></p> <ul style="list-style-type: none"> <li>▪ <b>Introdução ao EDK.</b></li> <li>▪ <b>Lab 1: Projeto básico de Hardware.</b> Criação rápida de um sistema embarcado focando em "Board" Universitário suportado pelo "Builder" do Sistema Básico do EDK.</li> <li>▪ <b>Lab 2: Adicionando um Periférico ao Projeto de Hardware.</b> Ampliando o Sistema de Hardware com adição de periféricos a partir do Catálogo de IPs XILINX.</li> <li>▪ <b>Lab 3: Adicionando seu próprio Periférico.</b> Utilizando o "Create/Import Peripheral Wizard" para ampliar o sistema com um periférico customizado.</li> </ul>	<p><b>Segundo Dia:</b></p> <ul style="list-style-type: none"> <li>▪ <b>Desenvolvimento Básico de Software.</b></li> <li>▪ <b>Lab 4: Escrevendo Aplicações Básicas de Software.</b> Escrita de uma aplicação básica em C para acessar os periféricos.</li> <li>▪ <b>Lab 5: Escrita e Depuração Avançadas de Software utilizando o SDK.</b> Escrita de uma rotina de serviços de interrupção para manter a contagem de interrupções geradas por um "Timer". Executar depuração de software utilizando o SDK.</li> <li>▪ <b>Lab 6: Depuração dos Sistemaas de Hardware/Software.</b> Utilização da ferramenta "ChipScope Pro" e do Depurador GNU do SDK para realizar verificação "On-Chip" de Hardware/Software.</li> </ul>
--	---



Rua Nazaret, 807, São Caetano do Sul, SP  
 09551-200 - Fone.: (11) 3422-4200  
 treinamento@anacom.com.br  
 www.anacom.com.br

Representante Xilinx no Brasil: BP&M Representações  
 Distribuidor Autorizado Xilinx: Avnet do Brasil  
 ATP (Authorized Training Provider) Xilinx no Brasil : Anacom Eletronica Ltda.



## ATENÇÃO: PARTICIPANTE DO WORKSHOP XUP UFMA

A ANACOM, como parte das atividades complementares ao Workshop XILINX a ser realizado na UFMA, está ofertando aos participantes do mesmo, a preço promocional, a participação no Curso “Designing with VHDL”, que será realizado no período de 16 a 18 de Abril de 2012. Veja a seguir:

PART NUMBER	DESCRIÇÃO	VALOR INDIVIDUAL
ANX001	Assessoria para Capacitação Técnica em <u>DesigningwithVHDL</u> (3 dias). Preço de Tabela	R\$1.800,00
	<b>DESCONTO ESPECIAL</b>	<b>- R\$ 1.300,00</b>
	VALOR TOTAL DA NF EMITIDA	R\$ 500,00
	Recolher mediante DARF por pessoa jurídica e empresa privada 1,5% do IRRF para impostos.	- R\$ 7,50
	VALOR TOTAL	R\$ 492,50



LANG11000-11-ILT (v1.0)

## Designing with VHDL

FPGA 1

### Especificações do Curso

### Descrição do Curso

Este curso detalhado é uma introdução completa à linguagem VHDL. A ênfase é mostrar como escrever código sólido do ponto de vista da síntese e código ótimo do ponto de vista da simulação para realização de robustos *testbench*. O curso aborda estilos de código RTL (*Structural, Register Transfer Level*), e comportamental (*behavioral*). Este treinamento é focado em dispositivos Xilinx e também em dispositivos FPGA genéricos. Os conceitos apresentados serão extremamente úteis e aplicáveis a qualquer *design* digital usando um modelo de *design* tipo *top-down*. O curso é um mix perfeito entre uma parte teórica completa e exercícios práticos úteis, para fixar os conceitos teóricos apresentado pelo instrutor. O participante aprenderá também as melhores técnicas de escrita de código VHDL que apontarão mais eficiência aos códigos VHDL desenvolvido. Além disso o curso é preparatório para o curso “Advanced VHDL”

Nível – FPGA 1

Carda Horária – 3 dias

Part Number – LANG11000-11-ILT

**Público Alvo** – Engenheiros que querem usar VHDL para modelagem, design e síntese para design digital

**Pré- Requisitos:** Conhecimento Básico em Projetos Digitais

**Software Tools:** Xilinx ISE® Design Suite: System Edition 13

**Hardware** : Arquitetura: N/A\* - Placa Demo: SP605 -Spartan®-6FPGA board\*

Nesse treinamento, o aluno ganhará uma grande experiência prática.

Participantes com pouca ou nenhuma experiência em VHDL terminarão esse curso habilitados a escrever código eficiente do ponto de vista da síntese simulação.

Após completar este treinamento, o participante terá as habilidades necessárias para:

- Implementar em VHDL código sintetizável.
- Identificar a diferença entre estilos de código comportamental e estrutural.
- Diferenciar entre código para síntese e código para simulação
- Usar tipo de dados escalar e complexos para representar as informações.

- Usar estruturas de controle concorrente e seqüencial para gerenciar o fluxo de dados.
- Implementar construtos comum em VHDL (*Finite State Machines [FSMs], RAM/ROM data structures*)
- Simular um *design* básico em VHDL.
- Escrever um *testbench* em VHDL
- Entender e implementar as melhores práticas de escrita de código VHDL
- Otimizar o código VHDL para aproveitar de todos os recursos contidos nos FPGAs da Xilinx.

### Estrutura do Curso

#### Dia 1

Fundamentos do VHDL:

**Lab 1:** Usando as ferramentas / Documentação em VHDL / Tipos de Dados / Operações concorrentes.

**Lab 2:** Usando construtos Concorrentes / Processos e Variáveis.

**Lab 3:** Implementando um processo simples.

#### Dia 2

Introdução aos *Testbenches Isim Simulation Tool Basics*:

**Lab 4:** Simulando um *Design* / Criando Memórias.

**Lab 5:** Construindo uma *Dual-Port Memory / Finite State Machines*.

**Lab 6:** Implementando uma *Moore Finite State Machine / Targeting* Xilinx FPGAs.

**Lab 7:** Xilinx *Tool Flow*.

#### Dia 3

Estruturas *Loops* e Condicional:

**Lab 8:** Usando *Loops/Atributos / Funções e Procedures/Packages and Libraries*.

**Lab 9:** Construindo Package / Interagindo com a simulação / Escrever um bom *Testbench*.

**Lab 10:** Construindo um *Testbench* eficiente.

### CONFIRMAR A PARTICIPAÇÃO NO CURSO EM:

Email: [treinamento@anacom.com.br](mailto:treinamento@anacom.com.br)

Telefone: (11) 3422 4211

Contato: Luigi Lauro